

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313371

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/3205  
H01L 21/768

(21)Application number : 2001-073042

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 14.03.2001

(72)Inventor : ROBERT M JEFFKEN  
STAMPER ANTHONY K

(30)Priority

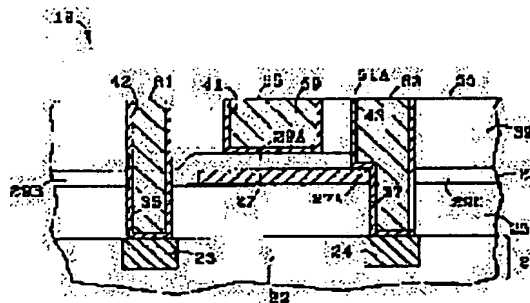
Priority number : 2000 526354 Priority date : 16.03.2000 Priority country : US

## (54) METALLIC CAPACITOR AND ITS FORMATION METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a metallic capacitor which is provided inside a metal layer on a semiconductor chip.

**SOLUTION:** A lower plate of a capacitor is provided between an insulation layer and a dielectric layer. An insulation layer is disposed adjacent to a metallization layer, and a dielectric layer separates a lower plate of a capacitor from the upper plate of the capacitor. The shoulder part of a lower plate is adjacent to it and brought into contact with a via filled with copper. Although a via extends upward to a common surface of the upper plate, it is electrically isolated from an upper plate. A via also extends downward toward a metallization layer. This structure is formed by a copper dual-damascene process.



## LEGAL STATUS

[Date of request for examination]

14.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**BEST AVAILABLE COPY**

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313371

(P2001-313371A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 27/04  
21/822  
21/3205  
21/768

H 0 1 L 27/04  
21/88  
21/90

C  
K  
B

審査請求 有 請求項の数25 O L (全 12 頁)

(21) 出願番号 特願2001-73042 (P2001-73042)

(22) 出願日 平成13年3月14日 (2001.3.14)

(31) 優先権主張番号 09/526354

(32) 優先日 平成12年3月16日 (2000.3.16)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

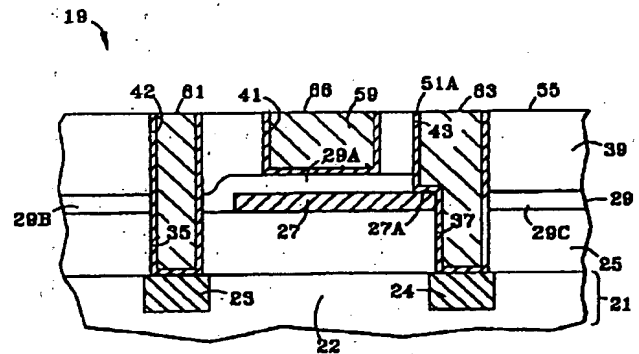
最終頁に続く

(54) 【発明の名称】 金属キャパシタおよびその形成方法

(57) 【要約】

【課題】 半導体チップ上の金属層内に設けられる金属  
キャパシタを提供する。

【解決手段】 キャパシタの下側プレートは、絶縁層お  
よび誘電層の間に設けられる。絶縁層はメタライゼーシ  
ョンの層に隣接し、誘電層はキャパシタの下側プレート  
をキャパシタの上側プレートから分離する。下側プレ  
ートのショルダ部分は、それに隣接し、銅で充填されたバ  
イアに接している。バイアは上側プレートとの共通表面  
へ上方に向かうが、上側プレートからは電氣的に分離さ  
れている。バイアは、メタライゼーション層にも向かっ  
て下方に延びる。この構造は、銅デュアル・ダマシニ  
・プロセスで形成される。



## 【特許請求の範囲】

【請求項 1】少なくとも 1 つの金属レベルを通して製作されるデバイスを有するウェーハ上に金属キャパシタを形成する方法であって、

- a. 第 1 絶縁層を設けるステップと、
- b. 前記第 1 絶縁層の頂部上に第 1 金属プレートを形成するステップと、
- c. 前記第 1 金属プレートの頂部上に誘電材料を設けるステップと、
- d. 前記誘電材料を通して延在し、かつ前記第 1 金属プレートと接触するバイアを形成するステップと、
- e. 前記バイア内、および第 2 金属プレートを形成するよう前記誘電材料の頂部上に金属を付着させるステップとを含む方法。

【請求項 2】前記ステップ e が、

- a. 前記誘電材料上に第 2 絶縁層を形成するステップと、
- b. 前記誘電材料が前記トレンチと前記第 1 金属プレートの間に残るように前記第 2 絶縁層内にキャパシタ・トレンチを形成するステップと、
- c. 前記第 2 絶縁層および前記誘電材料内に、前記金属プレートと接触するバイア・トレンチを形成するステップと、
- d. 前記第 2 金属プレートを形成するステップとを含む、請求項 1 に記載の方法。

【請求項 3】前記ステップ d および e が、

- a. 前記誘電材料上に第 2 絶縁層を形成するステップと、
- b. 前記第 2 絶縁層および前記誘電材料を通して、前記第 1 金属プレートと接触するように前記バイアを形成するステップと、
- c. 前記誘電材料が前記トレンチと前記第 1 金属プレートの間に残るように、前記第 2 絶縁層内で前記第 1 金属プレートの上方にトレンチを形成するステップと、
- d. 前記トレンチ内に前記第 2 金属プレートを形成するステップとを含む、請求項 1 に記載の方法。

【請求項 4】前記ステップ d および e が、

- a. 第 1 フォトリソ層を設けるステップと、
- b. 前記第 1 フォトリソ層内にバイアをフォトリソするステップと、
- c. 前記誘電材料を通して前記バイアを延長し、前記第 1 金属プレートに接触させるステップと、
- d. 余分のフォトリソを除去するステップと、
- e. 第 2 絶縁層を設けるステップと、
- f. 第 2 フォトリソ層を設けるステップと、
- g. 前記第 2 絶縁層内にトレンチおよび前記バイアを形成するステップであって、前記誘電材料が前記トレンチに対するエッチ・ストップとして作用するステップと、
- h. 余分のフォトリソを除去するステップとを含む、請求項 1 に記載の方法。

【請求項 5】前記付着ステップ e が、

- a. 前記誘電材料上、および前記バイア内に、バリア層を設けるステップと、
- b. 前記バリア層上に銅シード層を付着させるステップと、
- c. 前記銅シード層を覆って銅層を電解めっきするステップと、
- d. 前記ウェーハを平坦化して、前記銅電解めっき層、前記バリア層、および前記銅シード層の余分な部分を除去するステップとを含む、請求項 1 に記載の方法。

【請求項 6】前記ステップ d および e を実行する前に前記誘電材料の一部を除去するステップをさらに含む請求項 1 に記載の方法。

【請求項 7】前記ステップ c ないし e が、

- a. 前記第 1 絶縁材料および前記第 1 金属プレート上に第 2 絶縁層を形成するステップと、
- b. フォトリソ層を付着させるステップと、
- c. 前記フォトリソ層をフォトリソングして、前記第 1 プレート上方の前記第 2 絶縁層を除去するステップと、
- d. 前記ウェーハをエッチングして、前記第 1 プレート上方の前記フォトリソ層および前記第 2 絶縁層を除去し、それによってキャパシタ・プレート・トレンチを形成するステップと、
- e. 残っている第 1 フォトリソ層を除去するステップと、
- f. 薄い高誘電率材料を付着させるステップと、
- g. 第 2 フォトリソ層を付着させるステップと、
- h. 前記第 2 フォトリソ層内の少なくとも 1 つのバイアをフォトリソするステップと、
- i. 前記バイアが前記第 1 金属プレートと接触するように、バイアが前記フォトリソ層のフォトリソングされた前記部分を通して、前記薄い高誘電率材料および前記第 2 絶縁材料を通して前記バイアを形成するステップと、
- j. 残っている前記第 2 フォトリソ層を除去するステップとを含む、請求項 1 に記載の方法。

【請求項 8】ステップ h が、前記バイアが前記第 1 金属プレートに接触し、かつ前記第 1 絶縁層を通して少なくとも 1 つの金属層に接触するように、前記第 2 絶縁層を通して、前記高誘電率材料を通る前記バイアをエッチングすることを含む、請求項 7 に記載の方法。

【請求項 9】前記ステップ c が、誘電率が 5 を超える誘電材料を付着させることを含む、請求項 1 に記載の方法。

【請求項 10】前記ステップ a が、 $\text{SiO}_2$ 、フッ素化  $\text{SiO}_2$  (FSG)、ポリアリーレンエーテル (PAE)、エーロゲル、水素化シルセスキオキサン (HSQ)、メチルシルセスキオキサン (MSQ)、および  $\text{SiO}_x\text{CyH}_z$  からなる群から選択された絶縁材料を付着

させることを含む、請求項 1 に記載の方法。

【請求項 11】前記ステップ b が、タングステンから作成された第 1 プレートを形成することを含む、請求項 1 に記載の方法。

【請求項 12】前記ステップ d が、i. 前記誘電層上に第 2 絶縁層を設けるステップと、

ii. 単一のマスクを使用して前記第 1 金属プレートに接触するように、前記第 2 絶縁層、前記誘電層、および前記第 1 絶縁層を通る前記バイアを形成するステップとを含む、請求項 1 に記載の方法。

【請求項 13】前記ステップ b および c が、

i. 金属層を付着させるステップと、

ii. 前記金属層の頂部上に前記誘電材料の層を付着させるステップと、

iii. 単一のマスクを使用して、前記第 1 金属プレートが形成されるように前記誘電材料層および前記金属層をエッチングするステップとを含む、請求項 1 に記載の方法。

【請求項 14】さらに、前記ステップ d の前に前記第 1 金属プレートおよび前記誘電材料上にエッチ・ストップ層を付着させるステップを含む、請求項 1 に記載の方法。

【請求項 15】さらに、前記ステップ e 後に前記金属を平坦化するステップを含む、請求項 1 に記載の方法。

【請求項 16】半導体ウェーハのメタライゼーション層内に製作されたキャパシタであって、

a. 第 1 絶縁層と、

b. 導電材料から形成され、前記第 1 絶縁層の第 1 の側に配置され、ショルダを有する第 1 プレートと、

c. 前記ショルダを除いて、前記第 1 プレートを覆う誘電材料と、

d. 前記誘電材料を通過して下方に向かい、前記第 1 プレートの前記ショルダを含むバイアと、

e. 前記ショルダに接触する、前記バイア内の金属スタッドと、

f. 前記誘電材料が前記第 1 プレートと前記第 2 プレートとの間に配置されるように、導電材料から作成され、前記誘電材料に隣接して配置された第 2 金属プレートとを含むキャパシタ。

【請求項 17】さらに、スタッドと前記第 2 プレートを分離する第 2 絶縁層を含む、請求項 16 に記載のキャパシタ。

【請求項 18】さらに、相互接続を有するメタライゼーション層を含み、前記スタッドが前記相互接続に接触する、請求項 16 に記載のキャパシタ。

【請求項 19】前記第 1 プレートが高融点金属から作成された、請求項 16 に記載のキャパシタ。

【請求項 20】前記第 2 プレートが銅から作成され、前記デバイスがさらに、前記誘電層から前記第 2 プレートを分離し、かつ前記第 2 絶縁層から前記スタッドを分離

し、それによって前記銅の第 2 プレートから前記誘電層および前記第 2 絶縁層を保護するバリア層を含む、請求項 16 に記載のキャパシタ。

【請求項 21】前記第 1 絶縁層および前記第 2 絶縁層が、 $\text{SiO}_2$ 、フッ素化  $\text{SiO}_2$  (FSG)、ポリアリーレンエーテル (PAE)、エーロゲル、水素化シルセスキオキサン (HSQ)、メチルシルセスキオキサン (MSQ)、および  $\text{SiO}_x\text{C}_y\text{H}_z$  からなる群から選択された材料から構成される、請求項 16 に記載のキャパシタ。

【請求項 22】前記誘電材料が、 $\text{SiN}_x\text{H}_y$ 、 $\text{SiC}_x\text{H}_y$ 、および  $\text{SiO}_2$  から構成される群から選択された 1 つまたは複数の材料である、請求項 16 に記載のキャパシタ。

【請求項 23】前記第 1 プレートが外側縁を有し、前記誘電材料が前記外側縁を越えて延びることのない、請求項 16 に記載のキャパシタ。

【請求項 24】さらに、前記第 1 プレートおよび前記誘電材料を覆うエッチ・ストップ層を含む、請求項 16 に記載のキャパシタ。

【請求項 25】請求項 16 ないし 24 のいずれか一項に記載されたキャパシタを含む、半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウェーハ上のメタライゼーション層にキャパシタを製作することに関し、より具体的には、半導体ウェーハ上でメタライゼーション層を製作する際に銅デュアル・ダマシン・プロセスの一部として作成される金属キャパシタに関する。

【0002】

【従来の技術】チップ構成要素のフロント・エンド・オブ・ザ・ライン (FEOL) が次第により小さく、より多数に、より複雑に、より高速になるにつれて、バック・エンド・オブ・ザ・ライン (BEOL) 層の数が増加した。FEOL デバイスのサイズおよび密度のため、BEOL 層内の相互接続配線の幅、したがって断面積が減少した。しかし、断面積などを減少させると、従来使用されたアルミニウム相互接続配線の抵抗が増大する。したがって最近では、銅の抵抗品質がより低いという理由で、BEOL 構造で銅を使用する動きがある。銅を使用するには、銅デュアル・ダマシン製造技法に基づいた全体的に新しい製作技術を採用することが必要となる。

【0003】過去において、半導体チップ用の減結合キャパシタは、パッケージング内に配置されていた。しかし、半導体チップが現在動作する高周波が与えられた場合、パッケージング内に配置されるにあたり、減結合キャパシタ用導電パスが長いことは、しばしば受け入れることができない。減結合キャパシタ用の導電パス長を低減することが必要になると共に、半導体チップの BEOL 層上の相互接続に対するアルミニウム反応性イオン・

エッチング・プロセスから銅デュアル・ダマシン相互接続へ移行することによって、新規のチップ・レベルの集積減結合キャパシタ構造とその製作方法が必要となる。

【0004】

【発明が解決しようとする課題】本発明の目的は、半導体チップ上の金属層内に金属キャパシタを製作する方法およびデバイスを提供することである。

【0005】本発明の他の目的は、銅デュアル・ダマシン製造プロセスの一部としてチップ上に金属キャパシタを製作する方法を提供することである。

【0006】別の目的は、銅デュアル・ダマシン製造プロセスの一部として半導体チップ上に高精度金属キャパシタを製作する方法を提供することである。

【0007】

【課題を解決するための手段】そのような目的および他の目的は、少なくとも1つの金属レベルを通して製作されるデバイスを有するウェーハ上に金属キャパシタを形成する方法を提供することによって達せられる。方法は、絶縁層を付着するステップと、絶縁層上に第1金属プレートを形成するステップと、次いで第1金属プレートの頂部上に誘電材料を設けるステップとを含む。次いでバイアを、誘電材料を通して延在し、かつ第1金属プレートに接触するように形成する。最後に、金属をバイア内および第1絶縁材料の頂部上に付着させて、第2金属プレートを形成する。

【0008】本発明の他の態様では、本発明は、半導体ウェーハのメタライゼーション層内に製作されたキャパシタを提供する。キャパシタは、絶縁層と、導電材料から作成され絶縁層の第1の側に配置された第1プレートとを含む。第1プレートはショルダを有する。さらに、キャパシタは、ショルダを除いて第1プレートを覆う誘電材料と、誘電材料を通過して下方に向かい、第1プレートのショルダを含むバイアとを有する。金属スタッドは、バイア内でショルダに接触するように配置される。第2プレートは、誘電材料が第1プレートと第2プレートの間に配置されるように、誘電材料に隣接して配置される。

【0009】

【発明の実施の形態】本発明は、BEOLデュアル・ダマシン製作プロセスの際にメタライゼーション層内に作成される埋込み金属キャパシタである。

【0010】図1ないし図6は、本発明のキャパシタを製造する一方法を示す。キャパシタは、半導体チップ19上の金属層内に製作するが、そのようなチップの一部を図1に示す。通常、チップ19は、少なくとも第1金属層21を通して製作されたデバイスを有する。金属層21は、金属相互接続23および24が埋め込まれ、かつ不動態化された絶縁層22を有する。第1絶縁層25、たとえば $\text{SiO}_2$ 、フッ素化 $\text{SiO}_2$  (FSG)、ポリアリーレンエーテル (PAE)、エーロゲル、水素化

シルセスキオキサン (HSQ)、メチルシルセスキオキサン (MSQ)、または同様の材料を、第1金属層21上に形成する。好ましくは、第1絶縁層25は、低K (たとえば、好ましくは3.0未満の) 誘電率の絶縁体から作成する。キャパシタの埋込み金属プレートとして働くことになる金属プレート27を、従来の付着ステップおよびエッチング・ステップを使用して形成する。プレート27は、隣接する金属と両立し、かつ良好な導電率を有するタングステンまたは同様の高融点金属とすることができ。さらに、プレート27は、様々な製作ステップの際にキャパシタ絶縁体をその頂部上で破壊する粒界成長または粒界移動を生じない材料から形成するべきである。誘電層29を第1金属層21およびプレート27の上に配設する。本発明のこの実施形態では、誘電層29は、後述するように、エッチ・ストップおよびキャパシタ誘電体として働く。誘電層29は、窒化ケイ素 ( $\text{SiN}_x\text{H}_y$ )、炭化ケイ素 ( $\text{SiC}_x\text{H}_y$ )、二酸化ケイ素 ( $\text{SiO}_2$ ) または他の同様の材料から作成する。好ましくは、誘電層29は、比較的Kが高い (たとえば5を超える) 誘電率の絶縁体である。

【0011】図2を参照すると、次のステップでは、相互接続23および24のそれぞれの直接上方で第1金属層21に対する接触部を設けるために、バイア35および37を形成する。バイア35および37の形成は、フォトレジストを付着させ、バイア35および37の形成のために用意するマスクでフォトパターニングし、エッチングによりバイア35および37を形成し、次いでフォトレジストを除去することによって行う。フォトレジストを付着させ、マスクでフォトパターニングし、エッチングし、フォトレジストを除去する技法は周知であるので、プロセスを考察するたびに、バイアまたはトレンチを形成するプロセス全体の完全な説明または図示を与えることはない。後に詳述するように、バイア37は、下方にある金属相互接続24と埋込み金属プレート27を接続する金属 (たとえばタングステンまたは銅) スタッドを受けるために形成する。この点について、バイア37は、誘電層29の部分29Aが下側のプレート27の上方で除去されてショルダ27Aを露出するように形成する。バイア35は、典型的な垂直相互接続または金属層21と上側金属層との間のスタッドを受ける。

【0012】図3を参照すると、次いで、第1絶縁層25と同一のまたは異なる材料の第2絶縁層39を誘電層29上に、ならびにバイア35および37内に付着させる。好ましくは、層39も比較的Kが低い (たとえば3.0未満の) 材料であるべきである。

【0013】図4を参照すると、次いで、トレンチ41、42、および43を適切なフォトパターニングによって絶縁層39内に形成する。同一のステップにおいてバイア35および37は、下方に絶縁層25を通してそれぞれ金属相互接続23および24まで延在する。部分

29Aにある誘電層29は、トレンチ41のエッチングを止めるエッチ・ストップとして作用する。バイア35および37は、図2に示した先行するエッチング・ステップで誘電層29内に形成されているので、エッチングは、バイア35および37の両方で金属相互接続23および24まで継続することになる。トレンチ42および43はバイア35および37より幅が広くてよく、通常図4に示すようにバイアと完全に位置合わせされることはない。

【0014】図4に示したエッチング・ステップは、それがキャパシタ誘電体として働く部分29Aを劣化させないように、選択性の高いものでなくてはならない。トレンチ41、42、および43、ならびに金属層21までの延長バイア35および37を形成するために使用するエッチング・プロセスの特性は、それが絶縁体39および25を効果的にエッチングするが、タングステン・プレート27または誘電層29に対してはあまりエッチング効果がないようなものである。この点について、誘電層29が窒化ケイ素または同様の材料から作成される時、図4に示すステップに適するエッチングは、従来のパーフルオロカーボン(PFC)またはヒドロフルオロカーボン(HFC)エッチングを使用して実現できる。

【0015】図5に示すように、次のステップは、絶縁層39の頂部上、バイア35および37内、ならびにトレンチ41、42、および43内にバリア層51を付着させる。好ましい実施形態では、バリア層51は、Ta、Ta<sub>2</sub>N<sub>5</sub>、WN、TiN、TaSiN、TiSiN、およびスパッタ銅シード層のうちの1つ以上から作成できる。一般に、高融点金属、高融点金属シリサイドまたは高融点金属窒化物、あるいはこれらの組合せからなる任意の組合せを、バリア層51用に使用できる。バリア層51はこの時点までに形成された構造を包み、その結果、最終ステップで電解めっきされる銅から構造が分離される。銅の薄いシード層は、その上に銅が核形成する表面を生成するように設計される。いくつかの事例では、バリア層51にシード層を含める必要がないこともある。次いで銅層53を、バリア層51上に電解めっきする。

【0016】キャパシタ構造の最後の製作ステップでは、図6に示すように、銅層53を平坦化ステップによって表面55まで下方に除去する。好ましい実施形態では、平坦化ステップは従来の化学機械研磨(CMP)ステップである。平坦化ステップによって、余分な銅が絶縁層39のレベル55まで下方に除去される。これによって、銅スタッド61および63からトレンチ41内の上側プレート59が効果的に分離される。上側プレート59は、容量性構造(capacitive structure)の頂部プレートを形成する。層53は銅から作成することが好ましいが、本発明はそれに限定されるものではない。した

がって、アルミニウム、アルミニウム銅合金、および他の金属が層53に使用できる。層53を銅から作成しないときは、通常、バリア層51の一部としてスパッタ・シード層を設ける必要はない。

【0017】このようにして、完全な基本キャパシタ構造が図6に出現し、底部プレート27、頂部プレート59、およびそれらの間に配置された誘電層29Aを含むことになる。絶縁層25および誘電層29Aは、ほぼ完全に底部プレート27を囲み、それをプレート59との電氣的接触から分離する。ショルダ27Aのみが、バイア37に向かうように露出したプレート27の部分である。ショルダおよびエッジ27Aによって、バイア37内のスタッド63との電氣的接触部が作成される。層51Aは、銅層53を電解めっきする前に付着させるバリア層51の一部であり、それ自体が導電層である。したがって、図6に示す容量性構造は、ウェーハ上の回路構成の残り部分に対する相互接続に向けて準備されることになる。プレート59の表面66は上側プレート59に対する接触部を提供し、バイア37内のスタッド63は下側プレート27に対する接触部を提供する。

【0018】これまでに説明した製作プロセスに追加のステップを含めることによって、上述した容量性構造を作成する方法の有用な変形形態が提供される。本発明の第2の実施形態は、第2絶縁層39を形成する前にキャパシタ誘電体29をパターニングするための第2のマスクおよびエッチング・ステップを追加することによって実現される。図2を参照すると、第2のマスクおよびエッチング・ステップによって誘電層29の部分29Bおよび29Cが除去される。図7は、そのマスクおよびエッチング・ステップの後で、かつ第2絶縁層39を塗布させる前のウェーハを示す。キャパシタ誘電体29は、好ましくは高誘電率材料であるので、この変形形態によって相互接続間の配線間容量が低減される。

【0019】図1ないし図6に示したバイアの第1集積スキームに対する代替形態を、図8および図9に示す。この実施形態では、下側プレート27を製作し、誘電層29および絶縁層39を付着させた後、フォトリソ層80を絶縁層39上に設ける。次いで、図8に示すように、フォトリソ層80をフォトパターニングして、バイア35および37を形成する。

【0020】図9を参照すると、次いで、図4に関して前述したように、絶縁層39、誘電層29、および第1絶縁層25を通して下方へ、バイア35および37をそれぞれ相互接続23および24までエッチングする。このようにして、バイア35および37は、単一のマスクで相互接続23および24まで達するように形成される。次いで、別のフォトリソ層(図示せず)を塗布し、フォトパターニングして、トレンチ41、42、および43を形成し、それによって図4に示したものと同一の構造を作成する。その後、チップ19は、図5およ

び図6に示した上述のプロセス・ステップに従って完成させる。

【0021】図1ないし図6ならびに図8および図9に示したプロセスに従って形成したキャパシタ構造はかなり効果的に機能し、かつ容易に製造可能であるが、半導体チップ19の金属配線間の容量およびクロストークが、望ましい場合よりも大きくなる可能性が存在する。これは、誘電層29の誘電率が比較的高いこと、および、半導体チップ19の金属配線間に誘電層29が位置することによって起こる。図10および図11に示す本発明の実施形態は、その潜在的な欠点を克服するように設計されている。

【0022】この実施形態では、下側プレート27を形成する金属層（図示せず）および誘電層29を付着させる。次いで、フォトレジストの層（図示せず）を塗布し、単一マスクを使用してパターンニングし、エッチングして図10に示すように金属／誘電体スタックを形成する。フォトレジストを剥離した後、絶縁層39を付着させる。次いで、フォトレジスト層80を絶縁層39上に付着させ、パターンニングして図10に示すようにバイア35および37を形成する。次いでバイア35および37を、図9に関して先に説明したように、相互接続23および24まで下方にエッチングする。次いで、図11に示すように、かつ図9に関して先に説明したように、トレンチ41、42、および43を絶縁層39内に形成する。最後に、図5および図6で先に説明し図示したように、半導体チップ19を完成させる。

【0023】図1ないし図6に示した方法の別の変形形態を図12および図13に示す。この方法は、下側プレート27および誘電層29が単一マスクでパターンニングされるという点で、図10および図11に示した方法と同様である。したがって、配線間には高K誘電体はない。しかし、この実施形態は、低K誘電体エッチ・ストップ層82が第1絶縁層25および下側プレート27／誘電層29スタックの上に付着されるという点で、図10および図11に示した実施形態とは異なる。エッチ・ストップ層82に適する材料には、通常約20～50nmの厚さで付着される $\text{SiC}_x\text{H}_y$ および $\text{SiO}_x$ が含まれる。その後、絶縁層39をエッチ・ストップ層82上に付着させ、パターンニングして前述のようにバイア35および37、ならびにトレンチ41、42、および43を形成する。トレンチ41、42、および43の形成には、図13に示すようにトレンチ内のエッチ・ストップ層82を除去することが含まれる。次いで、図1ないし図6に関して上述したプロセス・ステップに従って、チップ19の製作が完成する。

【0024】エッチ・ストップ層82を設ける利点は、後続のプロセス・ステップで絶縁層39内に形成される金属配線構造（図示せず）の深さを正確に制御できることである。このことは、その中に配線構造が形成される

絶縁層39内でのトレンチの形成がエッチ・ストップ層82上で停止することによって行われる。トレンチ深さ、したがって配線構造厚さを制御することによって、厚さが変動する配線構造から生ずる可能性のある配線間の容量結合を阻止する、または大幅に低減する。

【0025】図14ないし図22に、図6に示したものと基本的に同様の容量性構造を製作する本方法の別の実施形態を示す。図14は、少なくとも第1金属層174を通して製作されたデバイスを有する半導体チップ172の一部分の断面図を示す。通常、層174は絶縁層175を有し、その中に金属相互接続176および178が形成されている。第1のステップは、先に説明したように、絶縁層180を付着させ、次いで、通常タングステンまたはプレート27に適する他の金属からなる金属プレート182をバターニングすることである。絶縁層25に使用した材料を絶縁層180に使用できる。次いで、絶縁層180と同一または異なる材料からなる第2絶縁層184をチップ172上に付着させる。最後に、フォトレジスト層186を塗布する。

【0026】図15を参照すると、フォトバターニングを行って、絶縁層184内にキャパシタ・トレンチ188および金属配線トレンチ190を作成する。次いで、フォトレジスト層186を除去する。

【0027】次いで、高誘電率材料の薄い層192（図16）を絶縁層184上および金属プレート182の露出部分上に付着させる。層29に使用したタイプの材料を層192に使用できる。

【0028】図17に示すように、第2フォトレジスト層194を付着させる。次いで、フォトレジスト層194をバターニングして、誘電層192で止まるバイア196および198を作成する。次いで、図18に示すように、バイア196および198を、それらが相互接続176および178上で止まるように高K誘電層192および絶縁層180を通して延長する。バイア196は、金属プレート182のショルダ182Aを露出するようにサイズ設定される。次いで、フォトレジスト層194を除去して、図19に示す構造に達する。

【0029】次いで、バリア層200（図20）を誘電層192上、およびバイア196および198を定義する表面上に付着させる。バリア層200は、先述したように、バリア層51と同一の材料、たとえばTa<sub>2</sub>Nの薄い層および薄いスパッタ銅シード層から作成する。次のステップで、バリア層200上に銅層202を厚い層で電解めっきする（図21）。先に示したように、層202は銅以外の材料から作成可能であり、その場合は通常バリア層200はスパッタ銅シード層を含まない。

【0030】図22に示すように、次いで、チップ172を化学機械研磨または他の方法を使用して平坦化して、チップ172の表面から余分な金属を除去し、バリア層200および誘電層のうち上方で水平に延在する部



分を除去して、表面 203 で止める。このプロセスによって、下側プレート 182、誘電層 192A、および上側プレート 204 を有する、仕上がったキャパシタができる。下側キャパシタ・プレート 182 のショルダ 182A は、スタッド 206 との、すなわちバイア 196 内の金属との電氣的な接触部を形成する。したがって、キャパシタは、チップ 172 の回路構成の残り部分との接続に向けて準備されることになる。上側プレート 204 との接触部はプレートの頂部表面 204A 上に作成され、下側プレート 182 との接触部はバイア 196 内のスタッド 206 の頂部表面 206A に作成される。

【0031】本発明は、理想的には、銅デュアル・ダマシン製作プロセスで使用するのに適合する。しかし、上述したダマシン金属構造のすべて、たとえば相互接続 23 または金属層 53 は、銅だけではない、任意の適切な金属から作成できる。銅を使用しないときは、銅シード層を省くことを含めて、下方にあるバリア層、たとえばバリア層 51 の組成を変更することが望ましい場合がある。

【0032】まとめとして、本発明の構成に関して以下の事項を開示する。

【0033】(1) 少なくとも 1 つの金属レベルを通して製作されるデバイスを有するウェーハ上に金属キャパシタを形成する方法であって、

- a. 第 1 絶縁層を設けるステップと、
- b. 前記第 1 絶縁層の頂部上に第 1 金属プレートを形成するステップと、
- c. 前記第 1 金属プレートの頂部上に誘電材料を設けるステップと、
- d. 前記誘電材料を通して延在し、かつ前記第 1 金属プレートと接触するバイアを形成するステップと、
- e. 前記バイア内、および第 2 金属プレートを形成するよう前記誘電材料の頂部上に金属を付着させるステップとを含む方法。

(2) 前記ステップ e が、

- a. 前記誘電材料上に第 2 絶縁層を形成するステップと、
- b. 前記誘電材料が前記トレンチと前記第 1 金属プレートの間に残るように前記第 2 絶縁層内にキャパシタ・トレンチを形成するステップと、
- c. 前記第 2 絶縁層および前記誘電材料内に、前記金属プレートと接触するバイア・トレンチを形成するステップと、
- d. 前記第 2 金属プレートを形成するステップとを含む、上記 (1) に記載の方法。

(3) 前記ステップ d および e が、

- a. 前記誘電材料上に第 2 絶縁層を形成するステップと、
- b. 前記第 2 絶縁層および前記誘電材料を通して、前記第 1 金属プレートと接触するように前記バイアを形成す

るステップと、

- c. 前記誘電材料が前記トレンチと前記第 1 金属プレートの間に残るように、前記第 2 絶縁層内で前記第 1 金属プレートの上方にトレンチを形成するステップと、
- d. 前記トレンチ内に前記第 2 金属プレートを形成するステップとを含む、上記 (1) に記載の方法。

(4) 前記ステップ d および e が、

- a. 第 1 フォトリソ層を設けるステップと、
- b. 前記第 1 フォトリソ層内にバイアをフォトリソパターニングするステップと、
- c. 前記誘電材料を通して前記バイアを延長し、前記第 1 金属プレートに接触させるステップと、
- d. 余分のフォトリソ層を除去するステップと、
- e. 第 2 絶縁層を設けるステップと、
- f. 第 2 フォトリソ層を設けるステップと、
- g. 前記第 2 絶縁層内にトレンチおよび前記バイアを形成するステップであって、前記誘電材料が前記トレンチに対するエッチ・ストップとして作用するステップと、
- h. 余分のフォトリソ層を除去するステップとを含む、上記 (1) に記載の方法。

(5) 前記付着ステップ e が、

- a. 前記誘電材料上、および前記バイア内に、バリア層を設けるステップと、
- b. 前記バリア層上に銅シード層を付着させるステップと、
- c. 前記銅シード層を覆って銅層を電解めっきするステップと、
- d. 前記ウェーハを平坦化して、前記銅電解めっき層、前記バリア層、および前記銅シード層の余分な部分を除去するステップとを含む、上記 (1) に記載の方法。

(6) 前記ステップ d および e を実行する前に前記誘電材料の一部を除去するステップをさらに含む上記 (1) に記載の方法。

(7) 前記ステップ c ないし e が、

- a. 前記第 1 絶縁材料および前記第 1 金属プレート上に第 2 絶縁層を形成するステップと、
- b. フォトリソ層を付着させるステップと、
- c. 前記フォトリソ層をフォトリソパターニングして、前記第 1 プレート上方の前記第 2 絶縁層を除去するステップと、
- d. 前記ウェーハをエッチングして、前記第 1 プレート上方の前記フォトリソ層および前記第 2 絶縁層を除去し、それによってキャパシタ・プレート・トレンチを形成するステップと、
- e. 残っている第 1 フォトリソ層を除去するステップと、
- f. 薄い高誘電率材料を付着させるステップと、
- g. 第 2 フォトリソ層を付着させるステップと、
- h. 前記第 2 フォトリソ層内の少なくとも 1 つのバイアをフォトリソパターニングするステップと、

i. 前記バイアが前記第1金属プレートと接触するように、バイアが前記フォトレジスト層のフォトパターニングされた前記部分を通して、前記薄い高誘電率材料および前記第2絶縁材料を通して前記バイアを形成するステップと、

j. 残っている前記第2フォトレジスト層を除去するステップとを含む、上記(1)に記載の方法。

(8) ステップhが、前記バイアが前記第1金属プレートに接触し、かつ前記第1絶縁層を通して少なくとも1つの金属層に接触するように、前記第2絶縁層を通して、前記高誘電率材料を通る前記バイアをエッチングすることを含む、上記(7)に記載の方法。

(9) 前記ステップcが、誘電率が5を超える誘電材料を付着させることを含む、上記(1)に記載の方法。

(10) 前記ステップaが、 $\text{SiO}_2$ 、フッ素化 $\text{SiO}_2$  (FSG)、ポリアリーレンエーテル (PAE)、エーロゲル、水素化シルセスキオキサン (HSQ)、メチルシルセスキオキサン (MSQ)、および $\text{SiO}_x\text{C}_y\text{H}_z$  からなる群から選択された絶縁材料を付着させることを含む、上記(1)に記載の方法。

(11) 前記ステップbが、タングステンから作成された第1プレートを形成することを含む、上記(1)に記載の方法。

(12) 前記ステップdが、  
i. 前記誘電層上に第2絶縁層を設けるステップと、  
ii. 単一のマスクを使用して前記第1金属プレートに接触するように、前記第2絶縁層、前記誘電層、および前記第1絶縁層を通る前記バイアを形成するステップとを含む、上記(1)に記載の方法。

(13) 前記ステップbおよびcが、  
i. 金属層を付着させるステップと、  
ii. 前記金属層の頂部上に前記誘電材料の層を付着させるステップと、  
iii. 単一のマスクを使用して、前記第1金属プレートが形成されるように前記誘電材料層および前記金属層をエッチングするステップとを含む、上記(1)に記載の方法。

(14) さらに、前記ステップdの前に前記第1金属プレートおよび前記誘電材料上にエッチ・ストップ層を付着させるステップを含む、上記(1)に記載の方法。

(15) さらに、前記ステップe後に前記金属を平坦化するステップを含む、上記(1)に記載の方法。

(16) 半導体ウェーハのメタライゼーション層内に製作されたキャパシタであって、

a. 第1絶縁層と、  
b. 導電材料から形成され、前記第1絶縁層の第1の側に配置され、ショルダを有する第1プレートと、  
c. 前記ショルダを除いて、前記第1プレートを覆う誘電材料と、  
d. 前記誘電材料を通過して下方に向かい、前記第1プ

レートの前記ショルダを含むバイアと、

e. 前記ショルダに接触する、前記バイア内の金属スタッドと、

f. 前記誘電材料が前記第1プレートと前記第2プレートとの間に配置されるように、導電材料から作成され、前記誘電材料に隣接して配置された第2金属プレートとを含むキャパシタ。

(17) さらに、スタッドと前記第2プレートを分離する第2絶縁層を含む、上記(16)に記載のキャパシタ。

(18) さらに、相互接続を有するメタライゼーション層を含み、前記スタッドが前記相互接続に接触する、上記(16)に記載のキャパシタ。

(19) 前記第1プレートが高融点金属から作成された、上記(16)に記載のキャパシタ。

(20) 前記第2プレートが銅から作成され、前記デバイスがさらに、前記誘電層から前記第2プレートを分離し、かつ前記第2絶縁層から前記スタッドを分離し、それによって前記銅の第2プレートから前記誘電層および前記第2絶縁層を保護するバリア層を含む、上記(16)に記載のキャパシタ。

(21) 前記第1絶縁層および前記第2絶縁層が、 $\text{SiO}_2$ 、フッ素化 $\text{SiO}_2$  (FSG)、ポリアリーレンエーテル (PAE)、エーロゲル、水素化シルセスキオキサン (HSQ)、メチルシルセスキオキサン (MSQ)、および $\text{SiO}_x\text{C}_y\text{H}_z$  からなる群から選択された材料から構成される、上記(16)に記載のキャパシタ。

(22) 前記誘電材料が、 $\text{SiN}_x\text{H}_y$ 、 $\text{SiC}_x\text{H}_y$ 、および $\text{SiO}_2$  から構成される群から選択された1つまたは複数の材料である、上記(16)に記載のキャパシタ。

(23) 前記第1プレートが外側縁を有し、前記誘電材料が前記外側縁を越えて延びることのない、上記(16)に記載のキャパシタ。

(24) さらに、前記第1プレートおよび前記誘電材料を覆うエッチ・ストップ層を含む、上記(16)に記載のキャパシタ。

(25) 上記(16)ないし(24)のいずれか一項に記載されたキャパシタを含む、半導体デバイス。

【図面の簡単な説明】

【図1】本発明の半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製造する一方法のステップの断面概略図である。

【図2】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製造する一方法の図1に続くステップの断面概略図である。

【図3】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製造する一方法の図2に続くステップの断面概略図である。

【図4】半導体ウェーハ上のメタライゼーション層内に

金属キャパシタを製造する方法の図3に続くステップの断面概略図である。

【図5】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製造する方法の図4に続くステップの断面概略図である。

【図6】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製造する方法の図5に続くステップであり、得られた構造を示す断面概略図である。

【図7】図1ないし図6に示す製造方法に含まれるとき第2の有用な代替方法提供する追加のステップを示す図である。

【図8】本発明の金属キャパシタを製作する別の方法のステップの断面概略図である。

【図9】金属キャパシタを製作する別の方法の図8に続くステップの断面概略図である。

【図10】金属キャパシタを製作する別の方法の図9に続くステップの断面概略図である。

【図11】金属キャパシタを製作する別の方法の図10に続くステップであり、得られた構造を示す断面概略図である。

【図12】金属キャパシタを製作する別の方法の初期のステップの断面概略図である。

【図13】金属キャパシタを製作する別の方法の図12に続くステップの断面概略図である。

【図14】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法のステップの断面概略図である。

【図15】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図14に続くステップの断面概略図である。

【図16】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図15に続くステップの断面概略図である。

【図17】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図16に続くステップの断面概略図である。

【図18】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図17に続くステップの断面概略図である。

【図19】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図18に続くステップの断面概略図である。

【図20】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図19に続くステップの断面概略図である。

【図21】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図20に続

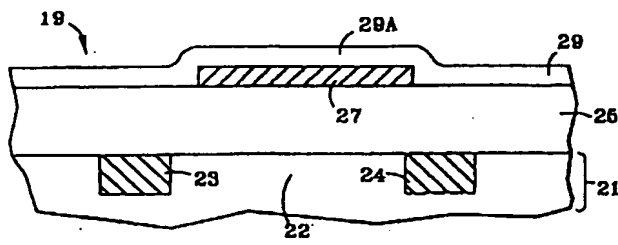
くステップの断面概略図である。

【図22】半導体ウェーハ上のメタライゼーション層内に金属キャパシタを製作するまた別の方法の図21に続くステップであり、得られた構造を示す断面概略図である。

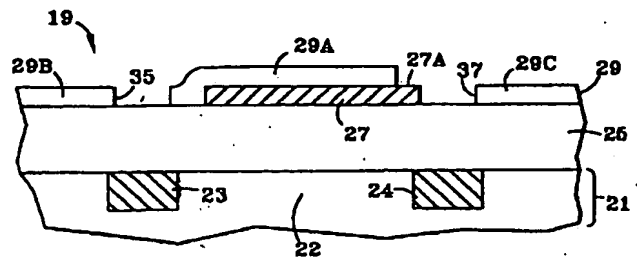
【符号の説明】

- 19 チップ
- 21 金属層
- 22 絶縁層
- 23 相互接続
- 24 相互接続
- 25 絶縁層
- 27 プレート
- 27A ショルダ
- 29 誘電層
- 29A 部分
- 29B 部分
- 29C 部分
- 35 バイア
- 37 バイア
- 39 絶縁層
- 41 トレンチ
- 42 トレンチ
- 43 トレンチ
- 51A 層
- 55 表面
- 59 プレート
- 61 スタッド
- 63 スタッド
- 66 表面
- 172 チップ
- 174 金属層
- 175 絶縁層
- 176 相互接続
- 178 相互接続
- 180 絶縁層
- 182 金属プレート
- 182A ショルダ
- 184 絶縁層
- 190 トレンチ
- 192 誘電層
- 194 フォトリジスト層
- 196 バイア
- 198 バイア
- 200 バリア層
- 202 銅層

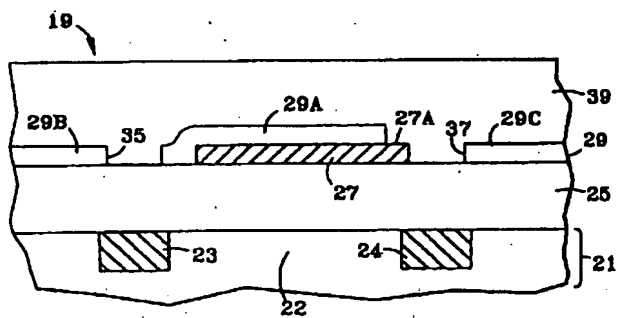
【図 1】



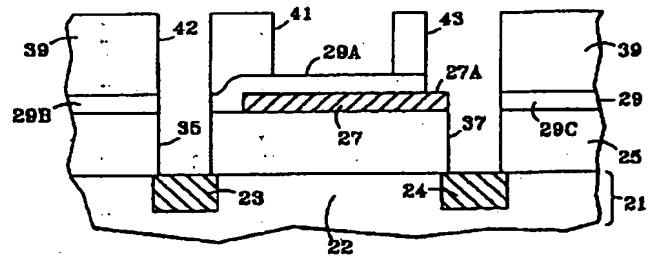
【図 2】



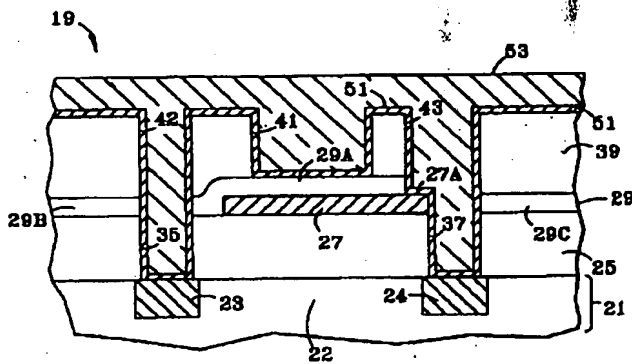
【図 3】



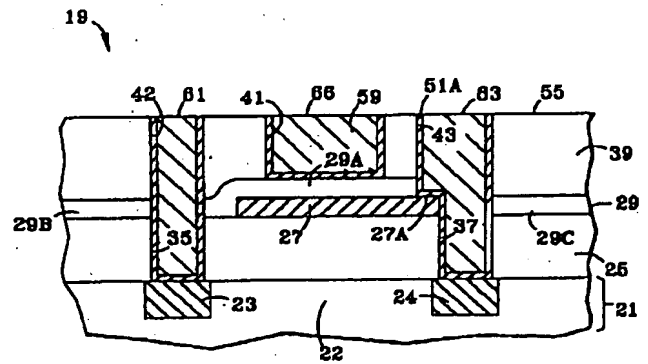
【図 4】



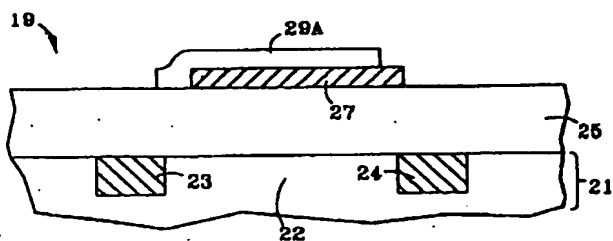
【図 5】



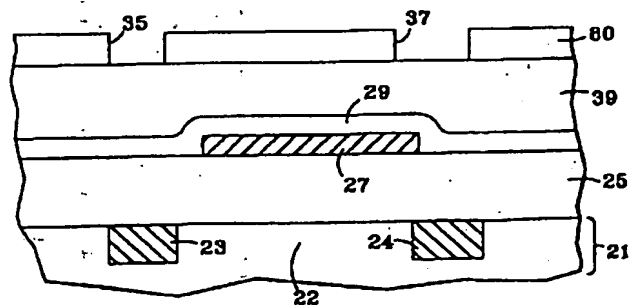
【図 6】



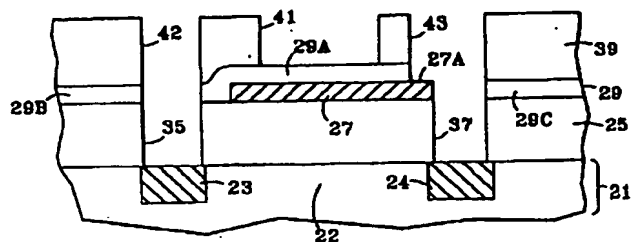
【図 7】



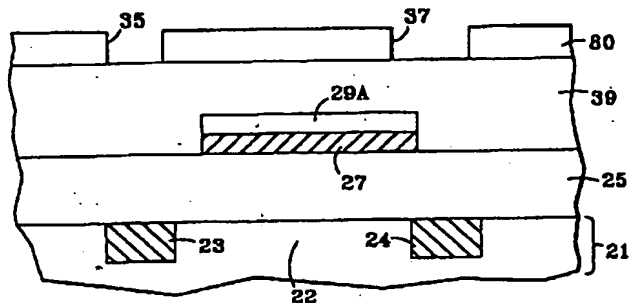
【図 8】



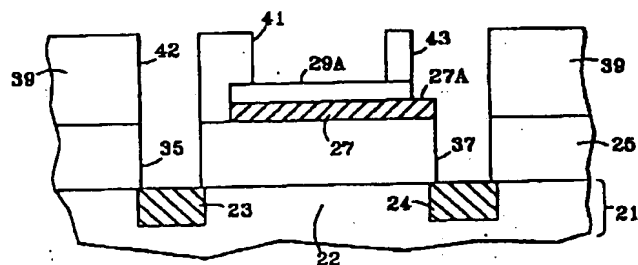
【図 9】



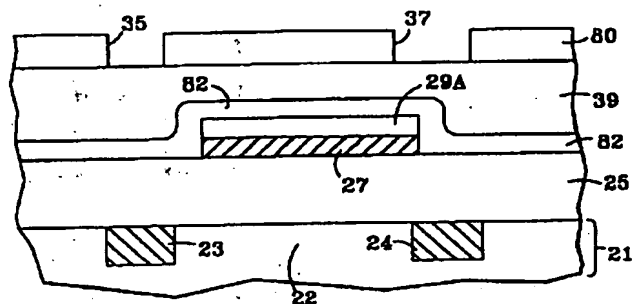
【図 10】



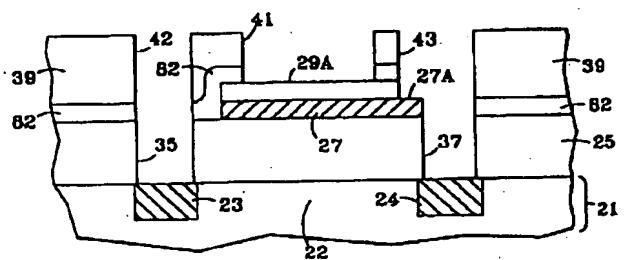
【図 11】



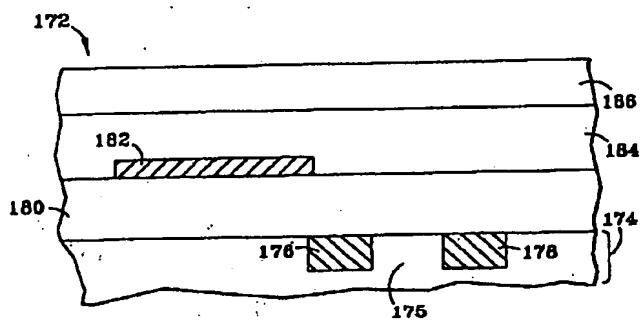
【図 12】



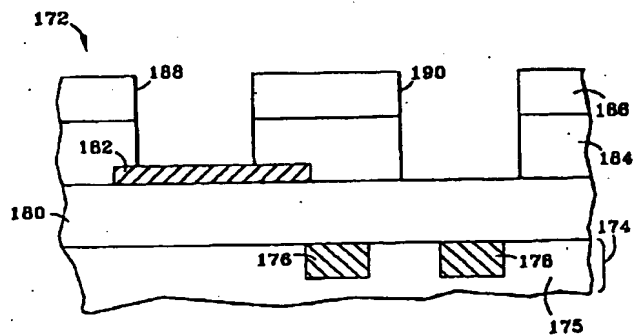
【図 13】



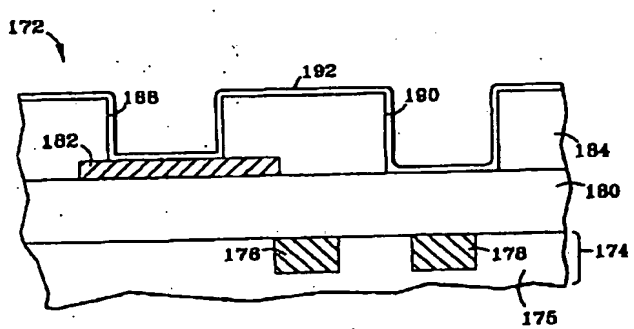
【図 14】



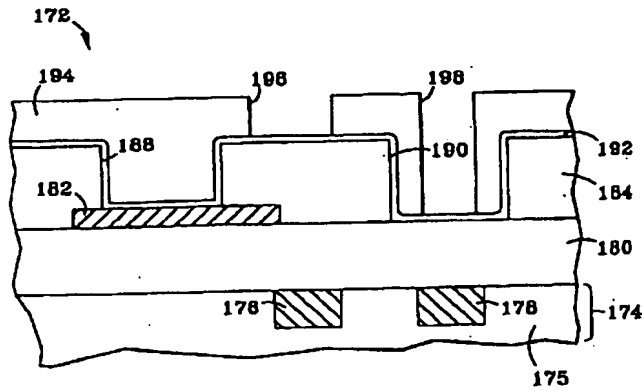
【図 15】



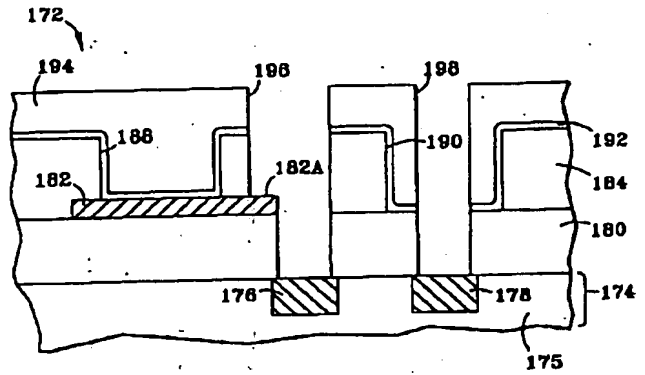
【図 16】



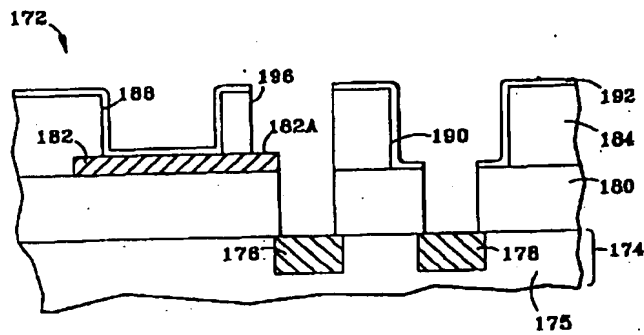
【図 17】



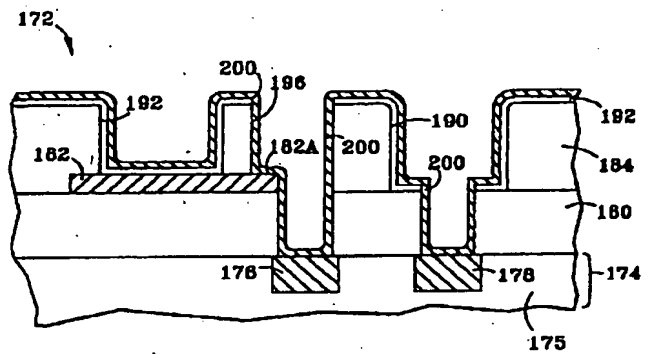
【图 18】



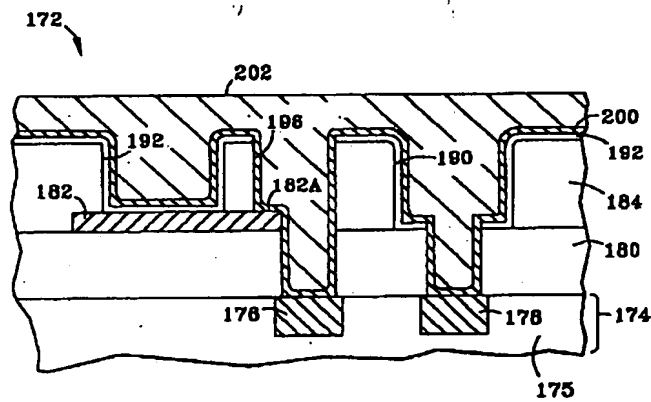
【圖 19】



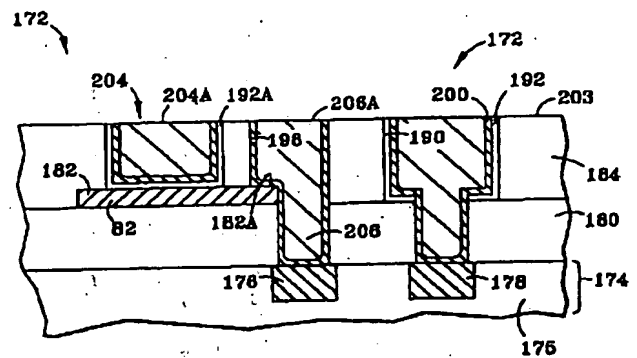
【図 20】



【図 2 1】



【図 22】



フロントページの続き

(72) 発明者 ロバート・エム・ジェフケン  
アメリカ合衆国05401 パーモント州パー  
リントン クレセント・ビーチ・ドライブ  
145

(72)発明者 アンソニー・ケイ・スタンパー  
アメリカ合衆国05495 バーモント州ウィ  
リントン エバークグリーン・ドライブ 46

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**